

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-140487

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

G02F 1/136
H01L 29/786

(21)Application number : 05-285045

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 15.11.1993

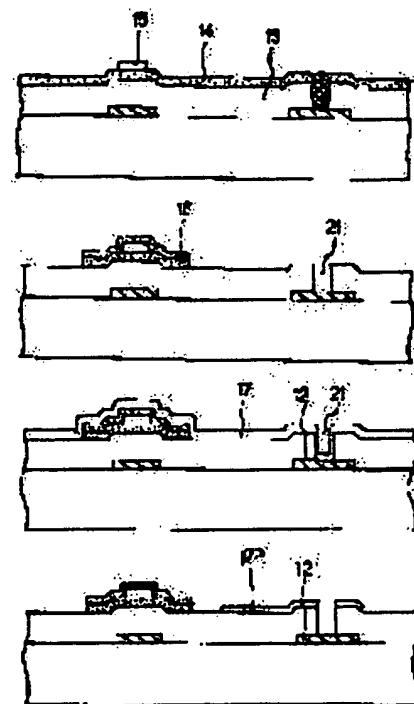
(72)Inventor : AOTA MASAOKI
YOSHIZAKO KEIZO

(54) PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent a short circuit of display electrodes and auxiliary capacitance electrodes even if a pinhole exists in a dielectric layer by subjecting the surface of the transparent conductive film exposed by etchant to slight etching in stages after a stage for forming the transparent conductive film.

CONSTITUTION: A gate metal is laminated on a transparent substrate and after gate electrodes and the auxiliary capacitance electrodes 12 are formed by etching the patterns of gate wirings, an insulating film 13, a-Si 14 and Si-Nx are successively laminated. In succession, a-Si 16 doped by phosphorus is laminated and is etched to allow the a-Si to remain in TFT parts, by which channel contact layers are formed. An ITO 17 as the transparent electrode material is then laminated and display electrodes 17P are formed by patterning display pixels by photoetching. Further, the ITO 17 is subjected to slight etching of 1/4 to 1/2 the film thickness of the ITO separately from patterning to the display electrodes 17P after formation of the ITO film, by which the ITO formed in the pinhole 21 is removed and the connection of the display electrodes 17P and the auxiliary capacitance electrode 13 is broken.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-140487

(43) 公開日 平成7年(1995)6月2日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|----------------|---------|
| G 0 2 F 1/136 | 5 0 0 | | | |
| H 0 1 L 29/786 | | 9056-4M | H 0 1 L 29/ 78 | 3 1 1 A |

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平5-285045

(22) 出願日 平成5年(1993)11月15日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 青田 雅明

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 吉迫 圭三

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

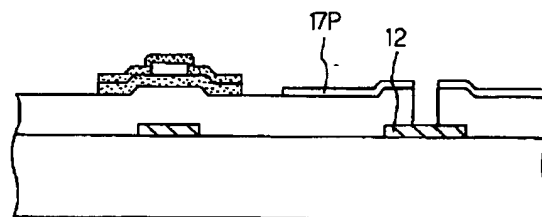
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】 (修正有)

【目的】 液晶表示装置の製造方法において欠陥防止処理を改善して、歩留まりの向上を計る。

【構成】 ITOの成膜後に、ITOのエッチャントによるスライトエッチングを行い、絶縁膜のピンホール欠陥中のITOを除去し、表示電極17Pと補助容量電極12の短絡を防止する。



【特許請求の範囲】

【請求項1】 基板上に第1のメタルを積層する工程と、該第1のメタルをパターニングする工程と、該第1のメタルを覆って絶縁膜を形成する工程と、該絶縁膜上に半導体層を形成する工程と、該半導体層をパターニングする工程と、該半導体膜を覆って前記絶縁膜上に透明導電膜を形成する工程と、該透明導電膜をフォトエッチによりパターニングする工程と、該透明導電膜及び前記半導体膜を覆って前記絶縁膜上に第2のメタルを積層する工程と、該第2のメタルをパターニングする工程とを有する液晶表示装置の製造方法において、前記透明導電膜を形成する工程以降に、前記透明導電膜のエッチャントで露出した前期透明導電膜の表面をスライトエッチングする工程が設けられたことを特徴とする液晶表示装置の製造方法。

【請求項2】 前記スライトエッチングは、前記透明導電膜の膜厚の $1/4 \sim 1/2$ のエッチング量で行われることを特徴とする請求項1記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置の製造方法に関し、特に、欠陥処理を改善した液晶表示装置の製造方法に関する。

【0002】

【従来の技術】液晶表示装置は小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、薄膜トランジスタ（以下、TFTと略す）を用いたアクティブマトリクス型は精細な動画表示が可能であり、TV用ディスプレイ等に使用されている。

【0003】アクティブマトリクス型液晶表示装置は、TFTと接続した表示電極がマトリクス状に配置された基板と、共通電極を有する基板が、液晶層を挟んで貼り合わされた構造になっている。TFTは、表示電極への入力データ信号を選択するスイッチング素子であり、チャンネル層として、アモルファスシリコンやポリシリコンを用いたFETである。ゲート電極及びドレイン電極は、それぞれゲートライン及びドレインラインに接続されており、ソース電極は表示電極に接続されている。表示電極及び共通電極は、例えば酸化インジウムと酸化スズの混合物（以下、ITOと略する）で形成した透明電極である。

【0004】ゲートライン群は線順次に走査されて、同一行のTFTを全てONにすると同時に、走査信号に同期したデータ信号が表示電極に入力される。共通電極もまた、走査信号に同期して電位が設定されて、表示電極との間隙の液晶層へ所望の実効電圧を印加することにより液晶を駆動し、画素ごとに光の透過率が調節される。液晶の駆動状態は、TFTのOFFにより1フレーム期

間、液晶容量に蓄積された電荷によって保持され、次フレームで交流反転して書き換えられる。

【0005】液晶の駆動状態は、液晶容量と並列に補助容量を設置し、電荷の保持特性を改善することにより向上される。補助容量は、表示電極を共通として、独立の電極を対向配置して共通電極と同電位に設定するか、ゲートラインの一部を延在して重畳配置することにより形成される。また、補助容量は、TFTの動作時に生ずる表示電極電位のシフトを抑制する作用がある。即ち、製造プロセスの制約上余儀なくされるソース・ゲート電極の重畳部で、TFTのON/OFFに伴って寄生容量の発生消失が起こる。そのため、補助容量の並列付加によって全容量値を増大させることにより、寄生容量による直流成分の表示電極電位への影響を緩和する。

【0006】

【発明が解決しようとする課題】補助容量を付加することにより、誘電層にピンホールなどの膜欠陥があった場合、両電極が短絡する問題がある。即ち、下側電極、誘電層、上側電極を順次形成していく際、誘電層に異物が存在した場合、後に続くフォトエッチ工程で、異物が脱離してピンホールとなる。この上に上側電極を形成すると、ピンホール内に電極材料が進入生成されて、上下電極が短絡する。例えば、上側の表示電極のITOが、下側の補助容量電極に接続されると、表示電極が共通電極またはゲート電極と同電位になり、液晶層へ実効電圧を印加することができず、所望の表示が得られなくなる。

【0007】

【課題を解決するための手段】本発明は前述の課題に鑑みて成され、基板上に第1のメタルを積層する工程と、該第1のメタルをパターニングする工程と、該第1のメタルを覆って絶縁膜を形成する工程と、該絶縁膜上に半導体層を形成する工程と、該半導体層をパターニングする工程と、該半導体層を覆って絶縁膜上に透明導電膜を形成する工程と、該透明導電膜をフォトエッチによりパターニングする工程と、該透明導電膜及び前記半導体層を覆って前記絶縁膜上に第2のメタルを積層する工程と、該第2のメタルをパターニングする工程とを有する液晶表示装置の製造方法において、前記透明導電膜を形成する工程以降に、露出された前記透明導電膜を、前記透明導電膜の膜厚の $1/4 \sim 1/2$ のエッチング量でスライトエッチする工程が設けられた構成である。

【0008】

【作用】一般に、絶縁膜中に異物が存在する場合、続くパターン形成のエッチングやフォトリソの剥離の際に異物が離脱してピンホールとなり、ピンホール内に上側電極材料が進入生成すると上下電極のショートにつながる。補助容量の場合、上側の表示電極であるITOは、膜厚が $500 \sim 1000 \text{ \AA}$ 程度に対して、誘電層は4倍の $2000 \sim 4000 \text{ \AA}$ 程度である。そのため、ピンホール内では、特に側壁部においてITOは表示電極

部より薄く形成されるので、ITOの成膜後に、ITOの膜厚の $1/4 \sim 1/2$ のエッチング量でスライトエッチングを行うことにより、ピンホール内のITOが除去されて、表示電極と補助容量電極の接続が断絶される。

【0009】

【実施例】続いて、本発明の実施例を、図1から図6を用いて説明する。図では特に、本発明の作用効果を明瞭にするために、補助容量部に異物によるピンホールが生じた場合を図示している。透明基板(10)上にゲートメタルとして、例えばCrをスパッタリングなどにより 1500 \AA 程度の厚さに積層し、ゲート配線のパターンにエッチングすることにより、ゲート電極(11)及び補助容量電極(12)が形成される(以上、図1参照)。補助容量電極(12)は独立の電極でも、ゲートラインと一体の電極でも良い。次に、ゲート絶縁膜及び補助容量の誘電膜に共通の絶縁膜(13)として、例えば SiN_x をプラズマCVDにより $2000 \sim 4000 \text{ \AA}$ 程度の厚さに積層する。このとき、補助容量電極(12)上に異物(20)が付着したとすると、絶縁膜(13)は異物(20)を含んで成長する。引き続き、プラズマCVDで a-Si (14)を 1000 \AA 程度、 SiN_x を 2500 \AA 程度の厚さに順次積層する。 a-Si (14)はTFTのチャンネル層、最上層の SiN_x はフォトリソで、ゲート電極(11)に対応する部分に残すことによりエッチングストッパー(15)となる

(以上、図2参照)。続いて、コンタクト向上のため隣によりドーパされた a-Si (以下、 $\text{N}^+\text{a-Si}$ と略す)(16)をプラズマCVDにより 500 \AA 程度の厚さに積層する。この $\text{N}^+\text{a-Si}$ (16)及び a-Si (14)を同一マスクによるエッチングでTFT部に残すことにより、チャンネル・コンタクト層が形成される。以上の工程で、 SiN_x や a-Si のパターニングの際、不要部分の除去やレジスト膜の剥離により、異物が脱離して、その部分がピンホール(21)となる(以上、図3参照)。

【0010】次に、透明電極材料としてITO(17)をスパッタリングなどにより、 $500 \sim 1000 \text{ \AA}$ 程度の厚さに積層する。この時ピンホール(21)内にもITOが生成して、下部の補助容量電極(12)に短絡接続される(以上、図4参照)。ITO(17)はフォトリソによる表示画素のパターニングで表示電極(17P)に形成される。ITO(17)の成膜後、表示電極(17P)へのパターニングと別に、ITOのスライトエッチを、例えばエッチング時間を調整することによりITOの膜厚の $1/4$ のエッチング量で行う。これにより、ピンホール内に生成したITOを除去して、表示電極(17P)と補助容量電極(12)の接続が断絶される。例えば、ITO(17)の膜厚が 1000 \AA の場合、スライトエッチにより 750 \AA 程度にまで薄くなると同時に、ピンホール内のITOは完全に除去される

(以上、図5参照)。スライトエッチのエッチング量は、表示電極(17P)の機能を損なうことなく、かつ、ピンホール内のITOを除去する目的で設定するため、ITO(17)の膜厚の $1/4 \sim 1/2$ の許容範囲を有している。本実施例では、絶縁膜(13)の膜厚が $2000 \sim 4000 \text{ \AA}$ 程度、ITO(17)の膜厚が $500 \sim 1000 \text{ \AA}$ 程度にされているため、この場合スライトエッチ量は、実験的に $1/4$ が適している。尚、スライトエッチはITO(17)の成膜後の表示電極(17P)へのパターニング前に行っても、パターニング後に行ってもよい。

【0011】続いて、ソース・ドレインメタルとして、例えば、上層が 7000 \AA のAl、下層が 1000 \AA のMoでなる2層膜を、スパッタリングなどにより積層し、ソース・ドレイン配線のパターンにエッチングすることにより、ソース電極(18)及びドレイン電極(19)が形成される。最後に両電極(18, 19)をマスクに $\text{N}^+\text{a-Si}$ (16)のセンター部が除去される(以上、図6参照)。

【0012】なお、ITO(17)のスライトエッチングは、ソース・ドレインのパターン形成後、表示電極が露出された状態で行っても、同様の効果がある。

【0013】

【発明の効果】以上の説明から明らかな如く、ITOの成膜後に、ITOの膜厚の $1/4 \sim 1/2$ のスライトエッチングを行うことにより、誘電層中にピンホールが存在しても、ピンホール内のITOが除去されて、表示電極と補助容量電極の短絡が切断される。

【図面の簡単な説明】

【図1】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図2】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図3】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図4】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図5】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図6】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

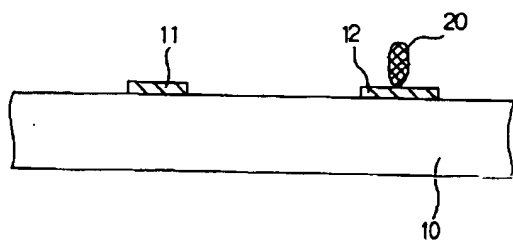
【符号の説明】

- 10 透明基板
- 11 ゲート電極
- 12 補助容量電極
- 13 絶縁膜 i
- 14 a-Si
- 15 エッチングストッパー
- 16 $\text{N}^+\text{a-Si}$
- 17 ITO

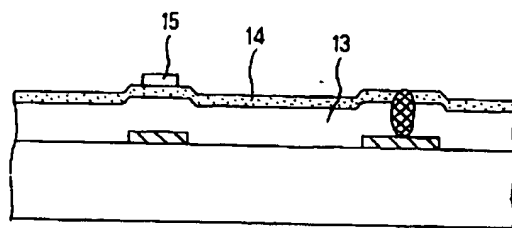
18 ソース電極
19 ドレイン電極

20 異物
21 ピンホール

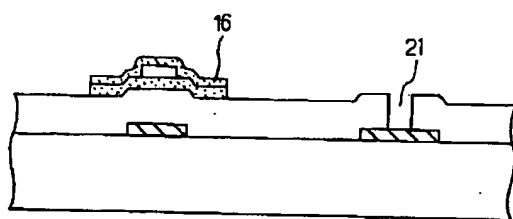
【図1】



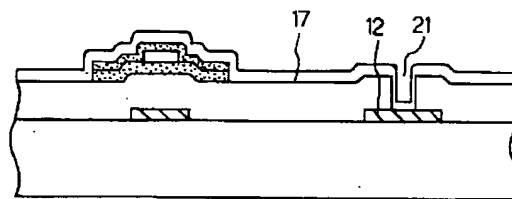
【図2】



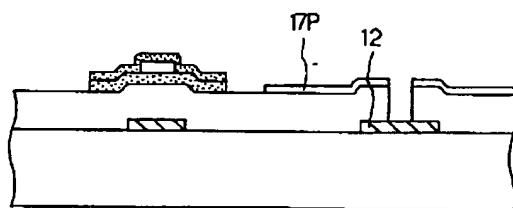
【図3】



【図4】



【図5】



【図6】

